CONTROL SHEET
TRANSLATION DIVISION
SCIENTIFIC LIBRARY
CP 3/4 Room 2C15
Tel: 557-3193

SECTION 1: TO BE COMPLETED BY REQUESTER

COMPLETE ONE CONTROL SHEET FOR EACH DOCUMENT, OTHERWISE DOCUMENT WILL RETURNED!!!

7. DATE: Oct. 29, 1990
2. NAME: Huy Mai
3. ORGANIZATION (e.g., Art Unit): AU 254

°Buliding and Room No.: CP4-7E06
°Telephone No.: 308-3930

° DOCUMENT IDENTIFICATION (Check one):
✓ PATENT

4. Number: 62-10619
5. Language: Japanese
6. Country: Japan

____ ARTICLE
4. Author: _____
5. Language: _____

____ LETTER OR OTHER DOCUMENT
5. Language: _____

6. Country: _____

° TO BE USED WITH (if applicable):

Serial No.: _____
Appeal No.: _____

7. TRANSLATION NEEDED BY (date): ASAP

° TRANSLATION DELIVERY MODE:
____ Send via in-house mail
✓ Will pick up at Translation Div.

°SECTION 2: TO BE COMPLETED BY SEARCH AREA (Only if: (1) Document is a patent published after 1968 and (2) an English language equivalent is acceptable.)
IF FOUND:
Equivalent, Ctry/No. _____
In-house translation _____
SEARCH DATE: _____
SEARCHER'S INITIALS: _____

SECTION 3: TO BE COMPLETED BY TRANSLATIONS DIVISION

1. PTO CONTROL NO.: 91-411
7. DATE ~~LOGGED IN~~ : 11-29-90
9. WORDS (PTO): 2299
9. WORDS (CONTR.): _____
° TRANSLATED PAGES: 12

FOR IN-HOUSE TRANSLATIONS

11. TRANSLATOR: _____
13. DATE ASSIGNED: _____
° DATE BEGUN: _____

15. DATE COMPLETED: _____
TRANSLATING TIME: _____

FOR CONTRACTOR TRANSLATIONS
11. CONTRACTOR: FL

10. PRIORITY (Sent): S
11. COST/WORD (Sent): $_____

11. COST/WORD (returned): $_____
12. TURN-AROUND TIME (days): _____

13. DATE SENT: 10-30-90
14. DATE DUE : _____
15. DATE RETURNED: 11-13-90

16. COPY ORDERED (cost): $_____
17. TOTAL COST (as sent): $_____
18. FINAL COST (returned):$_____

° REQUESTER 1ST NOTIFICATION
Date: 11.15.90

° REQUESTER 2nd NOTIFICATION
Date: _____

° DATE FORWARDED: _____

Ret.

PTO-91-411

JAPAN, KOKAI
No. 62-10619

Active Matrix Panel

Toshiyuki Misawa

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. November, 1990

Country	:	Japan
Document No.	:	62-10619
Document Type	:	Kokai
Language	:	Japanese
Inventor	:	Toshiyuki Misawa
Applicant	:	Seiko Epson K.K.
IPC	:	G 02 F 1/133 G 09 F 9/35 G 09 G 3/36 H 01 L 27/12
Application Date	:	July 9, 1985
Publication Date	:	January 19, 1987
Application No.	:	60-150517
Foreign Language Title	:	Akuteibu Matorikusu Paneru
English Title	:	Active Matrix Panel

Specifications /*109

1. Title of Invention

Active Matrix Panel

2. Claim

1) An active matrix panel which features establishing an MOS capacitor that is formed by use of thin film with the same construction as that of the gate insulating form of a thin film transistor, said MOS capacitor is parallel to a capacitor which consists of a liquid crystal in the active matrix panel which is comprised of the aforementioned liquid crystal group connected to a data line between the aforementioned thin film transistor group, which controls the ON/OFF by plural data lines, plural gate lines and the said gate line, and the said thin film transistor group;

2) the active matrix panel of the aforementioned MOS capacitor, mentioned in Paragraph 1 of the claim which features connecting one electrode to a picture element and another electrode to a gate line of a picture element or a fixed potential line that is adjacent thereto in the longitudinal direction;

3) an active matrix panel in Paragraph 1 of the claim which features the substrate of the aforementioned MOS capacitor which we suppose is a silicon thin film that is not doped with impurities;

4) an active matrix panel in Paragraph 1 of the claim which features the substrate of the aforementioned MOS capacitor which we suppose is a silicon thin film doped with p-type and n-type impurities.

---

* Numbers in the margin indicates pagination in the foreign text.

3. Detailed Specifications

(Industrial Applications)

The present invention is related to an active matrix panel constructed by use of a thin film transistor (abbreviated TFT below).

(Outline of Invention)

The present invention enlarges the liquid crystal capacity, from an appearance standpoint, by establishing an MOS capacitor that has the same construction as the aforementioned TFT, and is parallel to a capacitor which is comprised of the aforementioned liquid crystal, in an active matrix panel by driving the liquid crystal that uses the TFT and which improves the display performance. /110

(Conventional Technology)

In the active matrix panel which utilized the TFT as the switching element, conventionally, the picture element portion of one picture element part is structured by data line 1, gate line 2, TFT 3 and liquid crystal cell 4, as shown in Figure 7. A desirable performance as described in a document entitled Merchandised Liquid Crystal Pocket Color Televisions (Nikkei Electronics, 9-10-1984 Issue) is acquired by use of a thin film transistor as the structure element. However, if we suppose that a high precise display is to be realized by the picture element dimensions which we suppose are fine, the problem, as shown below, is (foreign text is illegible).

(Issues and Objectives to be Resolved by the Invention)

We suppose that the dimensions of one picture element for a conventional active matrix panel are length e, width b. R_1 is the ON resistance of the TFT and R_2 is the OFF resistance of the TFT, $C_{(illeg.)}$ is the capacity of the liquid crystal cell. Here, the fineness of the planar dimensions are tested in contrast to the previously described conventional panel, by not altering the cross-sectional dimensions. (Countermeasures are necessary against the deterioration of the contrast due to the reconstruction of the manufacturing process of the TFT and the retardation of the liquid crystal in order to alter the cross-sectional dimensions, which are accompanied by severe difficulties). If we suppose that the reduction coefficient is $1/k$, the picture element dimension of a new active matrix panel becomes length e/k and width b/k. Moreover, the ON resistance and the OFF resistance of the TFT, which is R_1 and R_2, respectively, do not change. The capacity of the liquid crystal cell becomes $C_{(illeg.)}/k^2$. Consequently, the time constant of the picture element selective time is reduced by $r_1C_{(illeg.)}-1/k^2R_1C_{(illeg.)}$. The time constant of the picture element selective time is reduced by $R_2C_{(illeg.)}-1/k^2R_2C_{(illeg.)}$. On the other hand, the write-in time of the signal to the picture element is shortened and the holding time of the electric charge is compressed $1/k^{(illeg.)}$, the effective value of the voltage added to the liquid crystal cell is reduced. This matter raises the contrast inferiority and the display inadequacy of the cross tracks in the active matrix panel.

The present invention resolves the display inadequacy of the active matrix panel which accompanies the refining of the picture

element dimensions so it has a desirable contrast, which is the objective to supply a high precise active matrix panel.

(Means to Resolve the Issues)

The solitary holding time, as mentioned above, is prevented from being reduced so that the MOS capacitor of the same construction as the gate insulating film of the TFT is formed and the capacity value of the liquid crystal cell, from an appearance standpoint, is enlarged.

(Function)

If we suppose that the capacity value of the MOS capacitor established in the TFT substrate is C_M, the capacity of one picture element of the active matrix panel, in which the dimensions are compressed by $1/k$, become $1/k^2C_{(illeg.)} + C_M$. Consequently, the time constant of the selective time becomes $R_2(1/k^2C_{(illeg.)} + C_M)$. It becomes possible to prevent the shortening of the holding time of the voltage stored in the picture element. The results are that the contrast inferiority and the cross track, etc., are not invoked and the high precision of the active matrix panel can be realized.

(Example)

Below, the example of the present invention is described, based on the drawings.

A complete drawing of the active matrix panel is shown in Figure 8. In the same drawing, 5, 6 and 7 are gate line; 8, 9 and 10 are data wiring; 11, 12, 13 and 14 are thin film transistors; 15, 16, 17 and 18 are liquid crystal cells. The operation of the active matrix panel is described in detail in the document entitled Merchandised Liquid Crystal Pocket Color Televisions (Nikkei

Electronics, 9-10-1984 Issue).

Figure 1 is a view which shows the structure of the active matrix panel for the present invention. In the same drawing, 19 is the gate line, 20 is the data line, 21 is a thin film transistor, 22 is a liquid crystal cell, 23 a MOS capacitor of the same construction as the thin film transistor 21, 56 is a counter electrode of the liquid crystal cell. Gate 25 of MOS capacitor 23 is connected to thin film transistor 21 and liquid crystal cell 22. The substrate of the MOS capacitor 23 is connected to the fixed potential line 24.

One example of the cross-sectional construction for the /111
active matrix panel in Figure 1 is shown in Figure 3. In Figure 3, 26 is the transparent substrate; 27 and 28 are the first silicon thin films, 29 and 30 are the gate insulating films, 31 and 32 are the second silicon thin films, 33 is the layer insulating line; 34 is the transparent conductive line; 35 is the liquid crystal, 36 is the counter electrode. 27, 29 and 31 are the substrate, gate insulating line and gate of the thin film transistor 21, respectively. 28, 30 and 32 are the substrate, gate insulating line and gate of the MOS capacitor 23, respectively.

Figure 2 is a view which shows another construction of the active matrix panel for the present invention. In the same drawing, 37 is the gate line; 38 is the data line; 39 is the thin film transistor; 40 is the liquid crystal cell, 41 is the MOS capacitor of the same construction as the thin film transistor 39; 57 is the counter electrode of the liquid crystal cell. The substrate 42 of the MOS capacitor 41 is connected to the thin film

transistor 39 and the liquid crystal cell 40. The gate 43 of the MOS capacitor 41 is connected to the fixed potential line 44.

One example of the cross-sectional construction of the active matrix panel in Figure 2 is shown in Figure 4. In Figure 4, 45 is the transparent substrate; 46 and 47 are the first silicon thin films; 48 and 49 are the gate insulating films; 50 and 51 are the second silicon thin films; 52 is the layer insulating films; 53 is the transparent conductive film; 54 is the liquid crystal; 55 is the counter electrode. 46, 48 and 50 are the substrate, gate insulating film and gate of the thin film transistor 39 in Figure 2, respectively. 47, 49 and 51 are the substrate, gate insulating film and gate of the MOS capacitor 41 in Figure 2, respectively.

Figure 5 and Figure 6 are views which show the construction of the fixed potential line 24 in Figure 1 and the fixed potential line 44 in Figure 2. According to Figure 5 and Figure 6, for convenience sake, the MOS capacitor is shown by the structure of Figure 1; however, it is rearranged in the structure of Figure 2 and does not change due to the gist of the present invention.

Figure 5 is a view which shows two picture elements that are adjacent thereto in the longitudinal direction. 58, 59 and 60 are fixed potential lines. Fixed potential lines 62 and 63 are potentially fixed in that the MOS capacitors 64 and 65 become a state of C_M.

Figure 5 and Figure 6 are different in that the adjacent gate lines are substituted by constant potential lines. In this case, the MOS capacitors 69 and 70 do not becomes the normal C_M state. The aforementioned MOS capacitors do not perform the electrical

charging holding function. In this case, the p-type and n-type impurity ions are selectively doped in the substrates of the MOS capacitors 69 and 70. Consequently, in Figure 3 and Figure 4, we suppose a construction in which p-type and n-type impurities are doped in the substrates 28 and 47 of the MOS capacitors.

(Results of the Invention)

It is possible to prevent a decline in the contrast and a deterioration of the display performance of the cross tracks, etc. by the reduction of the holding time which does not generate a picture element on the occasion of miniaturization and high densification, due to construction of the active matrix panel by use of the present invention.

As for the present invention, the capacity value per capacitor unit area, for the aforementioned electric charge holding, can be made large by forming a charge-holding capacitor by use of a gate insulating film of the same construction as the thin film transistor, that is parallel to the liquid crystal cell. Consequently, the area ratio of the capacitor for electric charge holding included in the picture element, is small upon completion.

Also, it is not entirely necessary to perform a specific manufacturing process in order to make a capacitor for electric charge holding, by installing a constant potential line in order to hold the MOS capacitor, for electric charge holding, at a normal C_M state. It becomes possible to manufacture using a conventional-type process.

On one hand, if a construction which dopes impurities in the substrate of the MOS capacitor is employed, a MOS capacitor can be

formed by a manufacturing process by use of the gate line of the picture element which is adjacent to the one which increases the one manufacturing process. The aperture rate of the picture element is greatly maintained.

4. Simple Description of the Drawings

Figure 1 is a structural view of the active matrix panel for the present invention.

Figure 2 is another structural view of the present invention.

Figure 3 and Figure 4 are cross-sectional views of the /112
active matrix panel of the present invention, shown in Figure 1 and Figure 2, respectively.

Figure 5 and Figure 6 are structural views which show the connection of the MOS capacitors inside the active matrix panel, of the present invention.

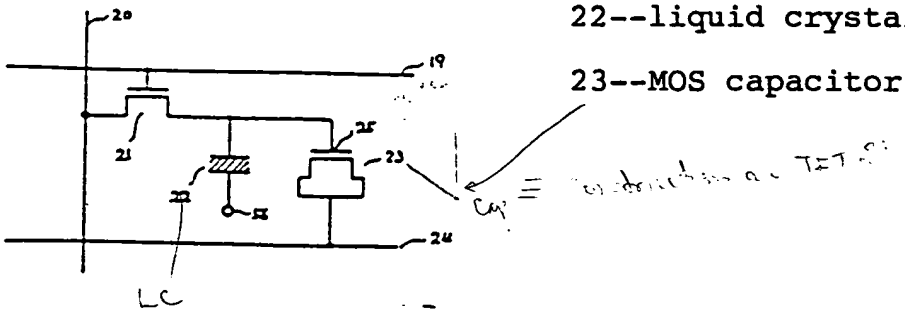
Figure 7 is a structural view of a conventional picture element.

Figure 8 is a complete view of the active matrix panel.

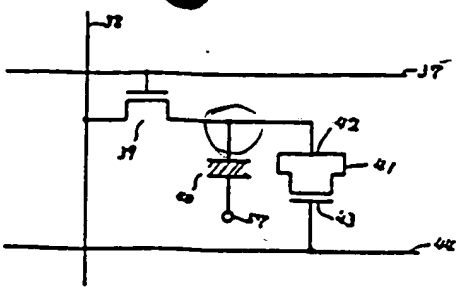
21--thin film transistor

22--liquid crystal cell

23--MOS capacitor

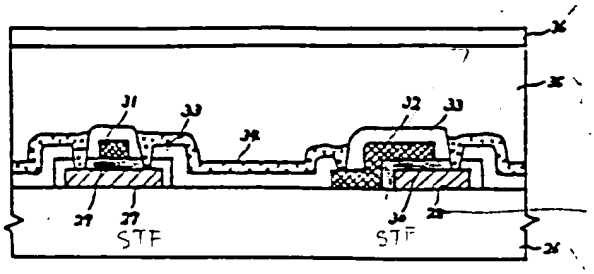


Structural View of Active Matrix Panel
Figure 1



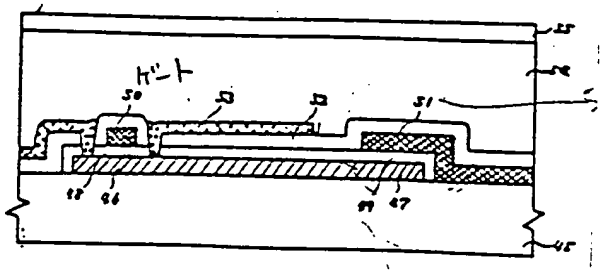
39--Thin Film Transistor
40--Liquid Crystal Cell
41--MOS Capacitor

Structural View of Active Matrix Panel
Figure 2



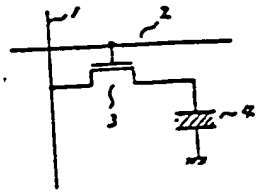
Cross-sectional View of Active Matrix Panel
Figure 3

27, 28--Silicon Thin Film
29, 30--Gate Insulating Film
31, 32--Silicon Thin Film

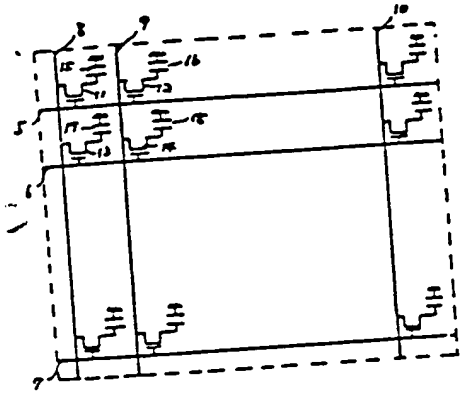


Cross-sectional View of Active Matrix Panel
Figure 4

46, 47--Silicon Thin Film
48, 49--Gate Insulating Film
50, 51--Silicon Thin Film



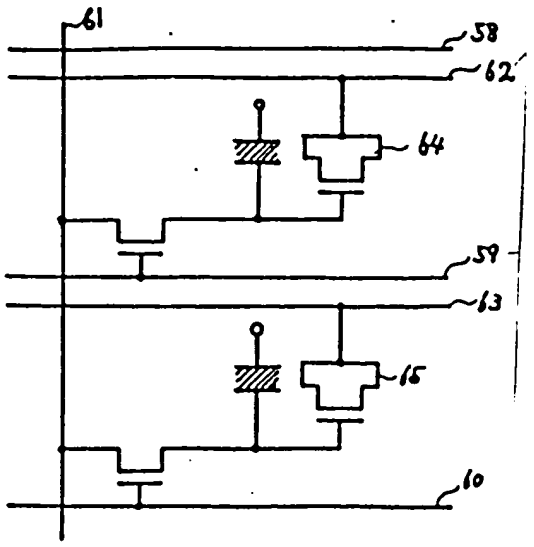
Structural View of Conventional Picture Element
Figure 7



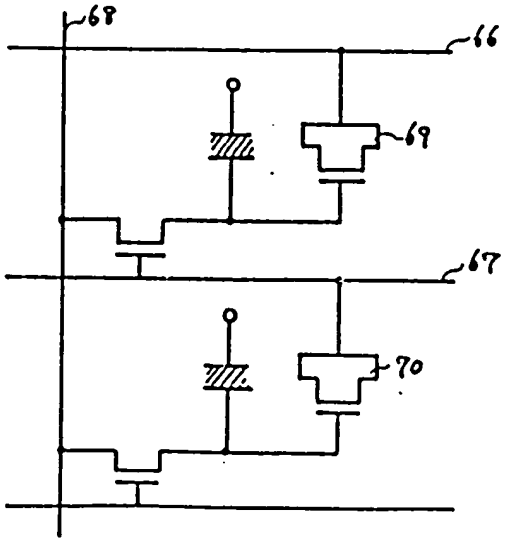
Complete View of Active Matrix Panel
Figure 8

/113

58, 59, 60--Gate Line
62, 63--Constant Potential Lines
64, 65--MOS Capacitor



Structural View of Active Matrix Panel
Figure 5



66, 68--Gate Line

68, 70--MOS Capacitor

Structural View of Active Matrix Panel
Figure 6

Japanese Laid-Open Patent Appln 62-10619

ABSTRACT

An active matrix panel

An active matrix panel with an MOS capacitor that is formed by the use of an insulating film with the same structure as that of the gate insulating film of TFT, said MOS capacitor being parallel to a capacitor provided by the liquid crystal cells forming said panel.

One electrode of the said MOS capacitor is connected to each of the picture element electrodes and the other electrode is connected to a gate wiring for picture elements or a line at a fixed potential level that is adjacent thereto in the longitudinal direction.

PTO 91-411

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　昭62－10619

⑤Int.Cl.⁴	識別記号	庁内整理番号
G 02 F 1/133	118	D－8205－2H
	129	B－7348－2H
G 09 F 9/35		6810－5C
G 09 G 3/36		8621－5C
H 01 L 27/12		7514－5F

⑬公開　昭和62年(1987)1月19日

審査請求　未請求　発明の数 1　(全5頁)

⑭発明の名称　アクティブマトリクスパネル

⑳特　願　昭60－150517

㉒出　願　昭60(1985)7月9日

㉗発明者　三澤　利之　諏訪市大和3丁目3番5号　株式会社諏訪精工舎内

㉑出願人　セイコーエプソン株式会社　東京都新宿区西新宿2丁目4番1号

㉔代理人　弁理士　最上　務

明　細　書

1　発明の名称

アクティブマトリクスパネル

2　特許請求の範囲

(1)　複数のデータ線，複数のゲート線、該ゲート線によって導通・非導通を制御される薄膜トランジスタ群及び該薄膜トランジスタ群を介してデータ線に接続される液晶セル群より成るアクティブマトリクスパネルにおいて、

前記液晶セルより成るキャパシタと並列に、前記薄膜トランジスタのゲート絶縁膜と同一構造の絶縁膜を用いて形成されたＭＯＳキャパシタを設けたことを特徴とするアクティブマトリクスパネル。

(2)　前記ＭＯＳキャパシタは、一方の電極を画素電極に、他方の電極を、該方向に隣接する画素のゲート線又は一定電位のラインに接続したことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3)　前記ＭＯＳキャパシタのサブストレートは不純物ドープされないシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(4)　前記ＭＯＳキャパシタのサブストレートはＰ型又はＮ型に不純物ドープされたシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

3　発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜トランジスタ(以下、ＴＦＴと略記する)を用いて構成されたアクティブマトリクスパネルに関する。

〔発明の概要〕

本発明は、ＴＦＴによって液晶を駆動して成るアクティブマトリクスパネルにおいて、前記液晶より成るキャパシタを並列に、前記ＴＦＴと同一の構造を有するＭＯＳキャパシタを設けることによって、液晶容量を見かけ上増大させ、表示性能

を向上させるものである。

〔従来の技術〕

ＴＦＴをスイッチング素子として利用したアクティブマトリクスパネルにおいて、従来、１画素分の画素部は、第７図に示す様に、データ線１、ゲート線２、ＴＦＴ３及び液晶セル４によって構成されていた。従来のアクティブマトリクスパネルは、薄膜トランジスタを構成要素として用いることによって、例えば、文献「商品化された液晶ポケット・カラー・テレビ」（日経エレクトロニクス，１９８４年９月１０日号）に述べられている様な良好な性能を得ていた。しかし、画素寸法をより微細なものとし、より高精細なディスプレイを実現しようとすると、以下に示す様な問題が顕在化してくる。

〔発明が解決しようとする問題点及び目的〕

従来のアクティブマトリクスパネルにおいて、一画素の寸法が仮に縦a、横b、ＴＦＴのオン抵抗がR_1、オフ抵抗がR_2、液晶セルの容量がC_0であったとする。ここで、前述の従来パネルに対して、断面寸法を変えずに平面的な寸法の縮小を試みる。（断面寸法を変えるためには、ＴＦＴの製造プロセスの再構築と液晶のリターデーションによるコントラストの低下に対する対策が必要であり、大変な困難を伴う。）仮に縮小率を$\frac{1}{k}$とすると、新しいアクティブマトリクスパネルの画素寸法は、縦$\frac{a}{k}$、横$\frac{b}{k}$となる。また、ＴＦＴのオン抵抗、オフ抵抗は、それぞれR_1，R_2と変わらず、液晶セルの容量は$\frac{C_0}{k^2}$となる。即ち、アクティブマトリクスパネルを平面的に縮小することによって、画素選択時の時定数はR_1C_0 $-\frac{1}{k^2}$ R_1C_0に減少し、画素非選択時の時定数はR_2C_0 $-\frac{1}{k^2}$ R_2C_0に減少する。このため、画素への信号の書き込み時間が短くなる反面、画素に貯えられた電荷の保持時間が$\frac{1}{k^2}$に短縮され、液晶セルに印加されている電圧の実効値が減少する。このことは、アクティブマトリクスパネルに、コントラスト不良，クロストーク等の表示不良を引き起こす。

本発明は、以上に述べた様な、画素寸法の微細化に伴うアクティブマトリクスパネルの表示不良を解決し、良好なコントラストを有し、かつ高精細なアクティブマトリクスパネルを提供することを目的とする。

〔問題点を解決するための手段〕

前述のごとく保持時間が短縮されるのを防ぐため、アクティブマトリクス基板内に、ＴＦＴのゲート絶縁膜と同一構造のＭＯＳキャパシタを形成し、液晶セルの見かけ上の容量値を増加させる。

〔作　用〕

ＴＦＴ基板内に作り込けだＭＯＳキャパシタの容量値をC_Mとすると、寸法を$\frac{1}{k}$に縮小したアクティブマトリクスパネルの一画素の容量は$\frac{1}{k^2}$ C_0 $+C_M$となる。従って、非選択時の時定数はR_2（$\frac{1}{k^2}$ C_0 $+C_M$）となり、画素に貯えられた電荷の保持時間が短縮されるのを防ぐことが可能となる。この結果、コントラスト不良，クロストーク等を招くことなく、アクティブマトリクスパネルの高精細化を実現することが出来る。

〔実施例〕

以下、図面に基づいて本発明の実施例を詳細に説明する。

第８図に、アクティブマトリクスパネルの全体図を示す。同図において、５，６，７はゲート線、８，９，１０はデータ線、１１，１２，１３，１４は薄膜トランジスタ、１５，１６，１７，１８は液晶セルである。アクティブマトリクスパネルの動作については、文献「商品化された液晶ポケット・カラー・テレビ」（日経エレクトロニクス、１９８４年９月１０日号）に詳しく述べられている。

第１図は、本発明のアクティブマトリクスパネルの構成を示した図である。同図において、１９はゲート線、２０はデータ線、２１は薄膜トランジスタ、２２は液晶セル、２３は薄膜トランジスタ２１と同一構造のＭＯＳキャパシタ、５６は液晶セルの対向電極である。ＭＯＳキャパシタ２３のゲート２５は、薄膜トランジスタ２１及び、液晶セル２２に接続され、ＭＯＳキャパシタ２３のサブストレートは、一定電位のライン２４に接続される。

第1図のアクティブマトリクスパネルの断面構造の一例を第3図に示す。第3図において、26は透明基板、27，28は第1のシリコン薄膜、29，30はゲート絶縁膜、31，32は第二のシリコン薄膜、33は層間絶縁膜、34は透明導電膜、35は液晶、36は対向電極である。27，29，31は、それぞれ、薄膜トランジスタ21のサブストレート，ゲート絶縁膜，ゲートであり、28，30，32は、それぞれ、MOSキャパシタ23のサブストレート，ゲート絶縁膜，ゲートである。

第2図は、本発明のアクティブマトリクスパネルのもう一つの構成を示した図である。同図において、37はゲート線、38はデータ線、39は薄膜トランジスタ、40は液晶セル、41は薄膜トランジスタ39と同一構造のMOSキャパシタ、57は液晶セルの対向電極である。MOSキャパシタ41のサブストレート42は、薄膜トランジスタ39及び液晶セル40に接続され、MOSキャパシタ41のゲート43は一定電位のライン44に接続される。

第2図のアクティブマトリクスパネルの断面構造の一例を第4図に示す。第4図において、45は透明基板、46，47は第1のシリコン薄膜、48，49はゲート絶縁膜、50，51は第2のシリコン薄膜、52は層間絶縁膜、53は透明導電膜、54は液晶、55は対向電極である。46，48，50は、それぞれ、第2図の薄膜トランジスタ39のサブストレート，ゲート絶縁膜，ゲートであり、47，49，51は、それぞれ第2図のMOSキャパシタ41のサブストレート，ゲート絶縁膜，ゲートである。

第5図及び第6図は、第1図の定電位線24及び第2図の定電位線44の構成を示した図である。第5図及び第6図では、便宜上MOSキャパシタを第1図の構成で示してあるが、これを第2図の構成に置き換えても本発明の主旨に反しない。

第5図は、縦方向に隣あった二つの画素を示した図であり、58，59，60はゲート線、61はデータ線、62，63は定電位線である。定電位線62，63はMOSキャパシタ64，65がON状態となる電位に固定される。

第6図は、第5図と異なり、定電位線を隣接したゲート線で代用する。この場合、MOSキャパシタ69，70が常にON状態とはならず、前記MOSキャパシタは、電荷を保持する働きをしない。この問題を解決するため、MOSキャパシタ69，70のサブストレートに選択的にP型又はN型の不純物イオンをドープする。即ち、第3図及び第4図において、MOSキャパシタのサブストレート28及び47にP型又はN型の不純物をドープした構造とする。

〔発明の効果〕

アクティブマトリクスパネルを本発明を用いて構成することによって、画素を微細化・高密度化した際に生ずる保持時間の減少によるコントラストの低下，クロストーク等の表示性能の劣化を防止することが可能となる。

本発明は、電荷保持用のキャパシタを、液晶セルと並列に、薄膜トランジスタのゲート絶縁膜と同一の構造で形成することにより、前記電荷保持用キャパシタの単位面積当りの容量値を大きなものとすることが出来る。従って、画素内に占める電荷保持用キャパシタの面積比は小さくて済む。

また、電荷保持用のMOSキャパシタを常にON状態に保つための定電位線を設けたことによって、電荷保持用キャパシタを作るための特別な製造プロセスを一切必要とせず、従来どうりのプロセスで製造可能となる。

一方、MOSキャパシタのサブストレートに不純物をドープする構造を採用すれば、製造プロセスは一工程増えるものの隣接する画素のゲート線を用いてMOSキャパシタを形成出来、画素の開口率は大きく保たれる。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクスパネルの構成図。

第2図は本発明のもう一つの構成図。

第3図，第4図は、それぞれ、第1図，第2図

アクティブマトリクスパネルの構成図

第5図

アクティブマトリクスパネルの構成図

第6図

に示した本発明のアクティブマトリクスパネルの断面図。

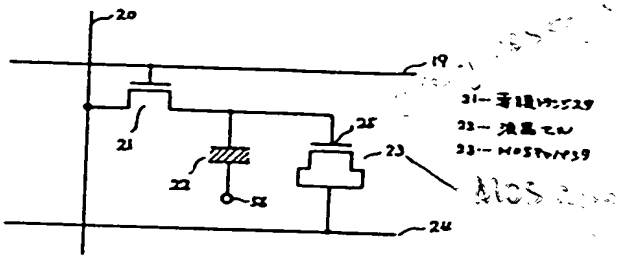
第５図，第６図は、本発明のアクティブマトリクスパネル中のＭＯＳキャパシタの接続を示した構成図。

第７図は、従来の画素部の構成図。

第８図は、アクティブマトリクスパネルの全体図。

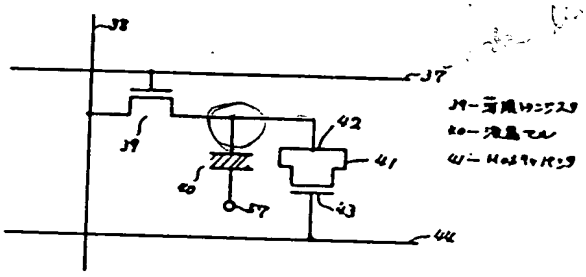
以　上

出願人　　株式会社諏訪精工舎
代理人　　弁理士　最　上　　務



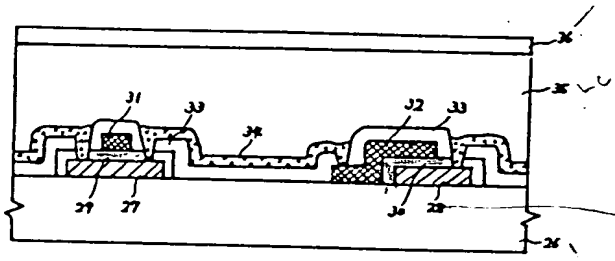
アクティブマトリクスパネルの構成図

第１図



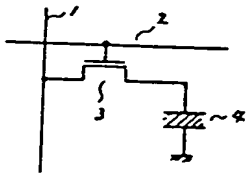
アクティブマトリクスパネルの構成図

第２図



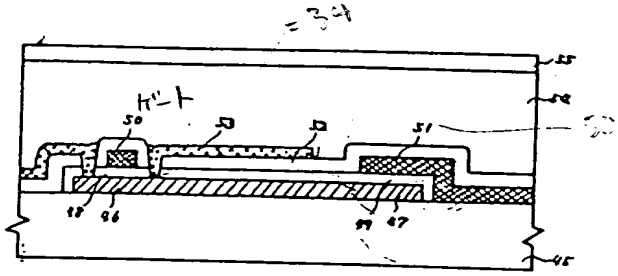
アクティブマトリクスパネルの断面図

第３図



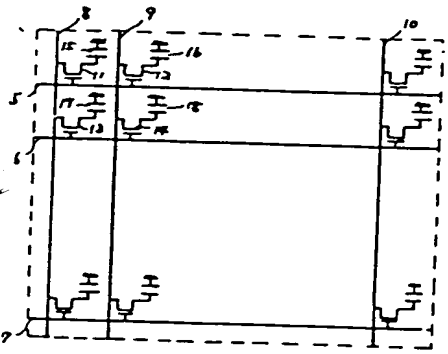
従来の画素部の構成図

第７図



アクティブマトリクスパネルの断面図

第４図



アクティブマトリクスパネルの全体図

第８図